

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-269079

(43)Date of publication of application : 09.10.1998

(51)Int.Cl.

G06F 9/38

G06F 9/38

(21)Application number : 09-069755

(71)Applicant : KOFU NIPPON DENKI KK

(22)Date of filing : 24.03.1997

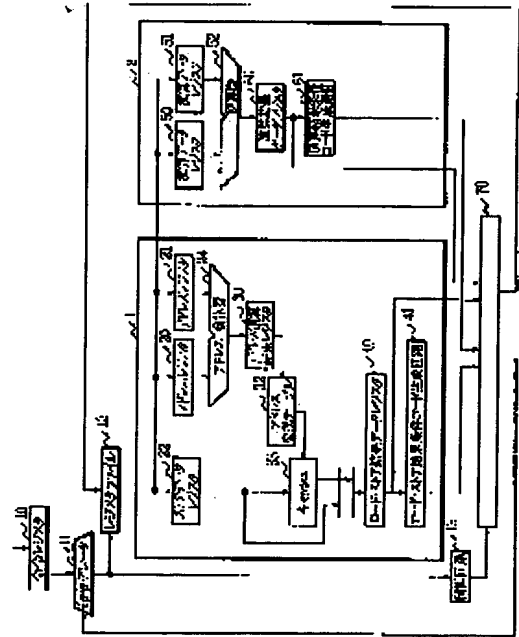
(72)Inventor : SAKAMOTO YOICHI
FUKUZAWA HAJIME

(54) INFORMATION PROCESSOR PROVIDED WITH MULTIPLE PIPELINES

(57)Abstract:

PROBLEM TO BE SOLVED: To generate a condition code without waiting for the order of condition code generation in plural pipelines.

SOLUTION: This information processor is provided with a pipeline 2 provided with a computing element 52 and an arithmetic result condition code generation circuit 61, a pipeline 1 provided with a loaded/stored result condition code generation circuit 41 for generating the condition code based on loaded /stored data, a reorder buffer 70 for storing the arithmetic result data, the loaded/stored data and the condition code from the pipelines 1 and 2 by considering the order of a program to originally execute an instruction, and a control circuit 13 for using the reorder buffer 70 and performing control for generating the condition code independently in the pipelines 1 and 2.



LEGAL STATUS

[Date of request for examination] 24.03.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2933560

[Date of registration] 28.05.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-269079

(43) 公開日 平成10年(1998)10月9日

(51) Int.Cl.⁶

G 0 6 F 9/38

識別記号

3 1 0

3 7 0

F I

G 0 6 F 9/38

3 1 0 F

3 7 0 A

審査請求 有 請求項の数 5 O L (全 8 頁)

(21) 出願番号

特願平9-69755

(22) 出願日

平成9年(1997)3月24日

(71) 出願人 000168285

甲府日本電気株式会社

山梨県甲府市大津町1088-3

(72) 発明者 阪本 容一

山梨県甲府市大津町1088-3 甲府日本電
気株式会社内

(72) 発明者 福澤 一

山梨県甲府市大津町1088-3 甲府日本電
気株式会社内

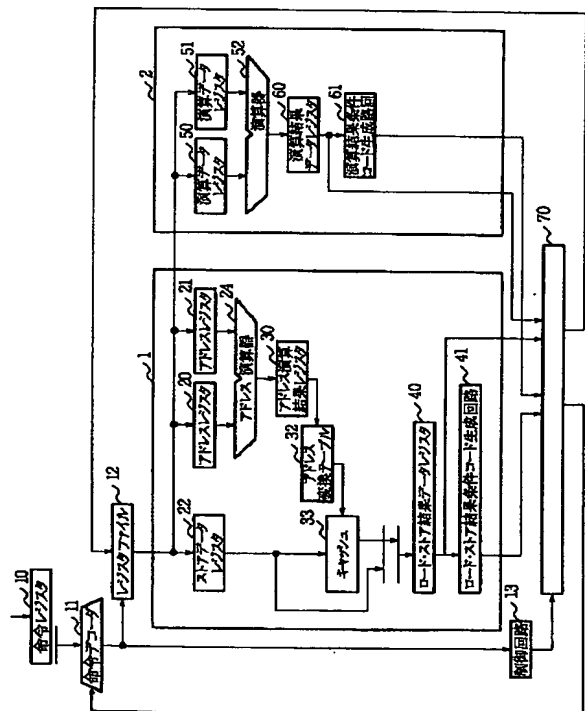
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 多重パイプラインを有する情報処理装置

(57) 【要約】

【課題】 複数のパイプラインにおいて、条件コード生成の順番待ちが無く、条件コードを生成することを可能とする。

【解決手段】 演算器52および演算結果条件コード生成回路61を備えるパイプライン2と、ロード・ストアされたデータに基づいて条件コードを生成するロード・ストア結果条件コード生成回路41を備えるパイプライン1と、パイプライン1、2からの前記演算結果データ、ロード・ストアされたデータおよび前記条件コードを、本来命令の実行されるべきプログラムの順番を考慮して格納するリオーダーバッファ70と、リオーダーバッファ70を使用し、パイプライン1、2で独立して条件コードを生成可能とする制御を行う制御回路13とを備える。



【特許請求の範囲】

【請求項1】 命令を処理する複数のパイプライン処理機構を備え、前記複数のパイプライン処理機構により複数の命令を並列に処理する多重パイプラインを有する情報処理装置において、演算を実行し演算結果データを出力する演算回路および前記演算結果データに基づいて条件コードを生成する演算結果条件コード生成回路を備える前記パイプライン処理機構と、データのロード・ストアを行うロード・ストア回路および前記ロード・ストア回路によりロード・ストアされた前記データに基づいて条件コードを生成するロード・ストア結果条件コード生成回路を備える前記パイプライン処理機構と、前記複数のパイプラインからの前記演算結果データ、ロード・ストアされた前記データおよび前記条件コードを、本来命令の実行されるべきプログラムの順番を考慮して格納するリオーダーバッファと、前記リオーダーバッファ使用し、前記複数のパイプライン処理機構で独立して条件コードを生成可能とする制御を行う制御回路と、を有することを特徴とする多重パイプラインを有する情報処理装置。

【請求項2】 前記パイプライン処理機構の少なくとも1つが、演算されるデータを格納する演算データレジスタと、前記演算データレジスタの出力を演算する前記演算回路と、前記演算回路の出力を格納する演算結果データレジスタと、前記演算結果データレジスタの出力に基づいて条件コードを生成する前記演算結果条件コード生成回路とを備えることを特徴とする請求項1記載の多重パイプラインを有する情報処理装置。

【請求項3】 前記パイプライン処理機構の少なくとも1つが、ストアされるデータを格納するストアデータレジスタと、ロードストアするアドレスを算出するアドレス演算器と、ロードまたはストアされるデータを格納するロード・ストア結果レジスタと、前記ロード・ストア結果レジスタの出力に基づいて条件コードを生成する前記ロード・ストア結果条件コード生成回路とを備えることを特徴とする請求項1または請求項2記載の多重パイプラインを有する情報処理装置。

【請求項4】 前記リオーダーバッファが、該当する命令の処理における状態を示すフラグを格納する状態フラグ領域と、該当する前記命令の処理結果の条件コードを格納する条件コード領域と、該当する前記命令の処理結果のデータを格納する結果データ領域とを含む複数のエントリを備えることを特徴とする請求項1または請求項2または請求項3記載の多重パイプラインを有する情報処理装置。

【請求項5】 前記制御回路が、命令の処理において、前記リオーダーバッファの空きエントリに投入される命令1個に対して1エントリを割り付け、前記状態フラグ領域を命令実行中を示す状態に変更し、実行されている命令の演算結果を前記ロード・ストア結果データレジスタから受け取り、その命令が前記リオーダーバッファのどの

エントリに割り当てられているか判断し、該当するエントリ前記結果データ領域に値を書き込み、該当するエントリの前記状態フラグ領域を結果確定に変更し、実行されている命令の演算結果を前記演算結果データレジスタから受け取り、その命令が前記リオーダーバッファのどのエントリに割り当てられているか判断し、該当するエントリの結果データ領域に値を書き込み、該当するエントリの前記状態フラグ領域を結果確定に変更し、実行されている命令の条件コードを前記ロード・ストア結果条件コード生成回路から受け取り、その命令が前記リオーダーバッファのどのエントリに割り当てられているか判断し、該当するエントリの前記条件コード領域に値を書き込み、該当するエントリの前記状態フラグ領域を条件コード確定に変更し、実行されている命令の条件コードを前記演算結果条件コード生成回路から受け取り、その命令が前記リオーダーバッファのどのエントリに割り当てられているか判断し、該当するエントリの条件コード領域に値を書き込み、該当するエントリの前記状態フラグ領域を条件コード確定に変更し、前記リオーダーバッファの前記状態フラグ領域が条件コード確定であり後続する命令がこれを必要としなくなったエントリの前記状態フラグ領域を空き状態に変更する機能を有することを特徴とする請求項4記載の多重パイプラインを有する情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、情報処理装置に関し、特に並列に動作可能な複数のパイプライン処理機構を備えた多重パイプラインを有する情報処理装置に関する。

【0002】

【従来の技術】近年の大規模で高速な処理能力を求められる情報処理装置では、命令を処理するパイプラインを複数（2以上の整数）備え、この複数のパイプラインを用いて、命令ストリームから命令を同時に複数取り出し、並列に実行していくスーパースケラ方式が採用されている。この種の多重パイプラインを有する情報処理装置においては1サイクルに複数の命令を実行でき、高い処理性能を実現できるようになっている。

【0003】上記のような情報処理装置では、先行して実行された命令の結果に従い、後続の命令の制御を変更する場合が多々ある。このような場合、複数のパイプラインで各々実行された命令が条件コードを生成する必要がある場合は、他のパイプラインで実行されている命令より、自パイプラインで実行されている命令が先行している場合、優先して条件コード生成回路を使用し、その結果を条件コードレジスタに格納する。

【0004】自パイプラインで実行されている命令より、他パイプラインで実行されている命令が先行している場合、他パイプラインの命令が優先して条件コード生

成回路を使用するため、他パイプラインがその使用を終えるまで待ち合わせ、その後他のパイプラインで実行されている命令より、自パイプラインが先行する命令となったとき、条件コード生成回路を使用し、その結果を条件コードレジスタに格納する。

【0005】したがって、先行する命令の生成する条件コードを使用して演算を行う後続の命令は、その先行する命令が条件コードを生成するまで待ち合わせ、条件コードの生成が完了すると、後続の命令がパイプラインに発行される。従来の多重パイプラインを有する情報処理装置について図3を参照して説明する。図は、従来の多重パイプラインを有する情報処理装置を示すブロック図である。図3に示す従来のパイプライン処理の構造では、命令レジスタ10に命令ストリームから複数の命令が取り込まれる。命令デコーダ11は命令レジスタ10から送られてくる複数の命令を同時に解釈し、演算に必要なデータをレジスタファイル12に通知する。レジスタファイル12で用意された演算に必要なデータは各パイプライン1、2に投入され、実行される。パイプライン1での実行が進み、条件コードの生成が必要となったとき、パイプライン1の命令が他のパイプライン2の命令に先行する命令である場合は、直ちに条件コード生成回路14を使用し条件コードを生成し、結果を条件コードレジスタ15に格納する。

【0006】しかし、パイプライン1の命令が、他のパイプライン2の命令に後続する命令である場合は、先行するパイプライン2の命令が条件コード生成回路14を使い、その結果を条件コードレジスタ15に格納するまで、待ち合わせをしなければならない。

【0007】逆に、パイプライン2の命令が、他のパイプライン1の命令に後続する命令である場合は、先行するパイプライン1の命令が条件コード生成回路14を使い、その結果を条件コードレジスタ15に格納するまで、待ち合わせをしなければならない。

【0008】また、「特開平4-96133号公報」に開示されている発明では、複数のパイプライン毎に条件コード生成回路を設け、更に複数のパイプラインの全ての条件コードを複合させる複合条件生成回路を設け、後続の命令が先行する命令の複数の条件を組み合わせて演算するような場合に高速に処理できるように工夫されている。

【0009】図4は、「特開平4-96133号公報」記載の技術を示すブロック図である。図4と参照すると、この技術においては、パイプライン1、2毎に条件コード生成回路16、条件コード生成回路17を設けることで、他のパイプラインに投入されている命令が、自パイプラインに投入されている命令に先行するかどうかによらず、常に条件コード生成ができるように工夫されている。

【0010】さらに、複合条件生成回路18を設けるこ

とで、全てのパイプライン1、2の命令の実行結果の条件を複合して合成した複合条件により後続の命令を処理できるように工夫されている。

【0011】

【発明が解決しようとする課題】 上述したように、従来の技術のパイプライン処理では、条件コードを生成する必要がある命令が、各パイプラインに投入された場合には、条件コード生成回路の使用に順番待ちが生じ、さらには順番待ちで止められた命令が処理されるまでは、そのパイプラインには、後続命令を投入する事ができないため、パイプラインの処理性能を低下させるという問題点がある。

【0012】また、上述した「特開平4-961336号公報」記載の技術においても、全てのパイプラインの命令の実行が完了し、条件コードの生成が完了するまで、条件コードの生成が早く完了したパイプラインは待ち合わせをしなければならない。

【0013】したがって、先行する命令の条件コードを必要としない後続の命令でも、パイプラインに投入できないことが発生し、パイプラインの処理性能を低下させるという問題点がある。

【0014】本発明の目的は、上記の性能低下要因である条件コードの生成を工夫することで、高速にパイプライン処理を実行できるようにすることである。

【0015】

【課題を解決するための手段】 本発明の第1の多重パイプラインを有する情報処理装置は、命令を処理する複数のパイプライン処理機構を備え、前記複数のパイプライン処理機構により複数の命令を並列に処理する多重パイプラインを有する情報処理装置において、演算を実行し演算結果データを出力する演算回路および前記演算結果データに基づいて条件コードを生成する演算結果条件コード生成回路を備える前記パイプライン処理機構と、データのロード・ストアを行うロード・ストア回路および前記ロード・ストア回路によりロード・ストアされた前記データに基づいて条件コードを生成するロード・ストア結果条件コード生成回路を備える前記パイプライン処理機構と、前記複数のパイプラインからの前記演算結果データ、ロード・ストアされた前記データおよび前記条件コードを、本来命令の実行されるべきプログラムの順番を考慮して格納するリオーダーバッファと、前記リオーダーバッファ使用し、前記複数のパイプライン処理機構で独立して条件コードを生成可能とする制御を行う制御回路と、を有する。

【0016】本発明の第2の多重パイプラインを有する情報処理装置は、前記第1の多重パイプラインを有する情報処理装置であって、前記パイプライン処理機構の少なくとも1つが、演算されるデータを格納する演算データレジスタと、前記演算データレジスタの出力を演算する前記演算回路と、前記演算回路の出力を格納する演算

10

20

30

40

50

結果データレジスタと、前記演算結果データレジスタの出力に基づいて条件コードを生成する前記演算結果条件コード生成回路とを備える。

【0017】本発明の第3の多重パイプラインを有する情報処理装置は、前記第1または第2の多重パイプラインを有する情報処理装置であって、前記パイプライン処理機構の少なくとも1つが、ストアされるデータを格納するストアデータレジスタと、ロードストアするアドレスを算出するアドレス演算器と、ロードまたはストアされるデータを格納するロード・ストア結果レジスタと、前記ロード・ストア結果レジスタの出力に基づいて条件コードを生成する前記ロード・ストア結果条件コード生成回路とを備える。

【0018】本発明の第4の多重パイプラインを有する情報処理装置は、前記第2または第3の多重パイプラインを有する情報処理装置であって、前記リオーダバッファが、該当する命令の処理における状態を示すフラグを格納する状態フラグ領域と、該当する前記命令の処理結果の条件コードを格納する条件コード領域と、該当する前記命令の処理結果のデータを格納する結果データ領域とを含む複数のエントリを備える。

【0019】本発明の第5の多重パイプラインを有する情報処理装置は、前記第4の多重パイプラインを有する情報処理装置であって、前記制御回路が、命令の処理において、前記リオーダバッファの空きエントリに投入される命令1個に対して1エントリを割り付け、前記状態フラグ領域を命令実行中を示す状態に変更し、実行されている命令の演算結果を前記ロード・ストア結果データレジスタから受け取り、その命令が前記リオーダバッファのどのエントリに割り当てられているか判断し、該当するエントリ前記結果データ領域に値を書き込み、該当するエントリの前記状態フラグ領域を結果確定に変更し、実行されている命令の演算結果を前記演算結果データレジスタから受け取り、その命令が前記リオーダバッファのどのエントリに割り当てられているか判断し、該当するエントリの結果データ領域に値を書き込み、該当するエントリの前記状態フラグ領域を結果確定に変更し、実行されている命令の条件コードを前記ロード・ストア結果条件コード生成回路から受け取り、その命令が前記リオーダバッファのどのエントリに割り当てられているか判断し、該当するエントリの前記条件コード領域に値を書き込み、該当するエントリの前記状態フラグ領域を条件コード確定に変更し、実行されている命令の条件コードを前記演算結果条件コード生成回路から受け取り、その命令が前記リオーダバッファのどのエントリに割り当てられているか判断し、該当するエントリの条件コード領域72に値を書き込み、該当するエントリの前記状態フラグ領域を条件コード確定に変更し、前記リオーダバッファの前記状態フラグ領域が条件コード確定であり後続する命令がこれを必要としなくなったエントリ

の前記状態フラグ領域を空き状態に変更する機能を有する。

【0020】

【発明の実施の形態】次に本発明の実施の形態について図1を参照して詳細に説明する。

【0021】図1は、本発明の実施の形態を示すブロック図である。図1を参照すると、本発明の多重パイプラインを有する情報処理装置は、命令レジスタ10と、命令デコーダ11と、レジスタファイル12と、メモリ演算系のロード・ストア命令の処理をするパイプライン1と、数値演算系の命令を処理するパイプライン2と、制御回路13と、リオーダバッファ70とから構成される。

【0022】また、パイプライン1は、アドレスレジスタ20、21と、ストアデータレジスタ22と、アドレス演算器24と、アドレス演算結果レジスタ30と、データ書き込みレジスタ31と、アドレス変換テーブル32と、キャッシュ33と、ロード・ストア結果データレジスタ40と、ロード・ストア結果条件コード生成回路41とから構成される。

【0023】また、パイプライン2は、演算データレジスタ50、51と、演算器52と、演算結果データレジスタ60と、演算結果条件コード生成回路61とから構成される。

【0024】図2は、リオーダバッファ70の詳細ブロック図である。図2を参照すると、リオーダバッファ70は、該当する命令の処理における状態を示すフラグを格納する状態フラグ領域71と、該当する命令の処理結果の条件コードを格納する条件コード領域72と、該当する命令の処理結果のデータを格納する結果データ領域73とを含む複数のエントリから構成される。

【0025】次に、本発明の実施の形態の動作について説明する。まず、主記憶（図示しない）もしくはキャッシュ33から取り込まれた複数の命令ストリームは、命令レジスタ10に一旦保持される。命令レジスタ10から複数の命令が同時に命令デコーダ11に送られ、複数の命令がデコードされる。命令デコーダ11に送付された命令が先行命令の条件コードを必要とする場合、制御回路13に必要な先行命令の情報を通知することで、リオーダバッファ70の条件コード領域から該当する命令の条件コードが送付される。この条件コードを加味し、命令のデコードが実行される。また、命令デコーダ11に送付された命令が先行命令の条件コードを必要としない場合、命令レジスタ10から送られてきた命令だけでデコードが実行される。デコードされた結果、各命令が必要とする演算データをレジスタファイル12に通知し、レジスタファイル12はその通知にしたがい、データをパイプライン1、2に送付する。デコードされた結果、各命令が必要とする演算データをレジスタファイル12に通知し、レジスタファイル12はその通知に従

い、演算データを各パイプライン1、2に送付する。

【0026】命令デコーダ11でデコードされた複数の命令にロード・ストア命令がある場合、その命令はパイプライン1で処理され、レジスタファイル12からは、アドレス演算に必要なデータが送られ、アドレスレジスタ20、アドレスレジスタ21に取り込まれる。特にストア命令の場合には、レジスタファイル12からはストアデータも送られ、ストアデータレジスタ22に取り込まれる。アドレスレジスタ20、アドレスレジスタ21に取り込まれたデータはアドレス演算器24に送られ計算された後、アドレス演算結果レジスタ30に取り込まれる。

【0027】同時に、パイプライン1内でのステージを合わせるために、ストアデータレジスタ22の内容はデータ書き込みレジスタ31に送られる。アドレス演算結果レジスタ30に取り込まれたアドレスで、アドレス変換テーブル32を引き物理アドレスを取得する。さらにその物理アドレスを用いて、ストア系命令の場合、データ書き込みレジスタ31の内容をキャッシュ33に書き込み、その書き込んだデータはロード・ストア結果データレジスタ40に格納される。

【0028】ロード系命令の場合、キャッシュ33から目的のロードデータが取り出され、ロード・ストア結果データレジスタ40に格納される。ロード・ストア結果条件コード生成回路41では、ロード・ストア結果データレジスタ40に格納されたロードデータやストアデータの値にしたがって条件コードを生成する。

【0029】一方、命令デコーダ11でデコードされた複数の命令に演算命令がある場合、その命令はパイプライン2で処理され、レジスタファイル12からは、演算に必要なデータが送られ、演算データレジスタ50、演算データレジスタ51に取り込まれる。演算データレジスタ50、演算データレジスタ51に取り込まれたデータは、演算器52に送られ計算された後、演算結果データレジスタ60に格納される。演算パイプの演算結果条件コード生成回路61は、演算結果データレジスタ60に格納された演算結果の値にしたがって条件コードを生成する。

【0030】上記のように処理されたパイプライン1やパイプライン2の結果は、リオーダバッファ70に格納される。

【0031】リオーダバッファ70はマルチポート構成になっており、複数エントリのリードやライトが同時に行われるため、各パイプライン1、2の結果ができ次第格納される。また、リオーダバッファ70は、命令の処理結果をプログラム順に整列させる回路で、その各エントリは、状態フラグ領域71、条件コード領域72、結果データ領域73の領域から構成され、1つの命令に対して1つのエントリが割り付けられる。

【0032】状態フラグ領域71は、そのエントリに割

り付けられた命令の状態を示すもので、エントリが有効か否かの有効・無効情報や、エントリに割り付けられた命令が完了し、結果データと条件コードの生成が完了しエントリに格納されたか否かの情報や、エントリに割り付けられた命令が他のパイプラインで実行されている命令に対してどのような順番で実行されているかの情報を持つ。条件コード領域72は、そのエントリに割り付けられた命令が生成した条件コードが格納される。結果データ領域73は、そのエントリに割り当てられた命令が生成した結果データが格納される。

【0033】制御回路13は、リオーダバッファ70の全ての制御を行う回路である。制御回路13は、まず命令デコーダ11から順次パイプライン1、パイプライン2に投入される命令の通知を受ける。通知を受けると、リオーダバッファ70の空きエントリに投入される命令1個に対して1エントリを割り付け、状態フラグ領域71を命令実行中を示す状態に変更する。また通知を受けると、直ちに先行する命令の条件コードを必要とするか否か判断し、必要で無い場合は、そのままパイプライン1、2に投入された命令は実行されるが、必要が有る場合は、該当する先行命令に割り付けられたリオーダバッファ70の状態フラグ領域71を調べ条件コード確定を示す状態であれば条件コード領域72から条件コードを取り出し、命令デコーダ11に送り、条件コードを必要とする命令に使用する。条件コード未確定を示す状態であれば、確定するまで待ち合わせ、確定次第条件コード領域72から条件コードを取り出し、命令デコーダ11に送り、条件コードを必要とする命令に使用する。

【0034】また、制御回路13は、パイプライン1で実行されている命令の演算結果をロード・ストア結果データレジスタ40から受け取り、その命令がリオーダバッファ70のどのエントリに割り当てられているか判断し、該当するエントリの結果データ領域73に値を書き込む。さらに、該当するエントリの状態フラグ領域71を結果確定に変更する。同様に、パイプライン2で実行されている命令の演算結果を演算結果データレジスタ60から受け取り、その命令がリオーダバッファ70のどのエントリに割り当てられているか判断し、該当するエントリの結果データ領域73に値を書き込む。さらに、該当するエントリの状態フラグ領域71を結果確定に変更する。

【0035】また、制御回路13は、パイプライン1で実行されている命令の条件コードをロード・ストア結果条件コード生成回路41から受け取り、その命令がリオーダバッファ70のどのエントリに割り当てられているか判断し、該当するエントリの条件コード領域72に値を書き込む。さらに、該当するエントリの状態フラグ領域71を条件コード確定に変更する。同様に、パイプライン2で実行されている命令の条件コードを演算結果条件コード生成回路61から受け取り、その命令がリオー

ダバッファ70のどのエントリに割り当てられているか判断し、該当するエントリの条件コード領域72に値を書き込む。さらに、該当するエントリの状態フラグ領域71を条件コード確定に変更する。

【0036】また、制御回路13は、常に状態フラグ領域71を監視し、命令の実行順番の早い物から順に結果確定もしくは条件コード確定になり次第、そのエントリの結果データ領域73の値をレジスタファイル12に書き込む。このようにして命令の実行順番が保証される。

【0037】また、リオーダバッファ70の状態フラグ領域71が条件コード確定であり後続する命令がこれを必要としなくなったエントリは空きエントリとなるため、そのするエントリの状態フラグ領域71を空き状態に変更する。

【0038】

【発明の効果】上述したように、複数のパイプラインに個々に条件コード生成回路と、命令の実行状態、条件コードおよび演算結果のデータを格納するリオーダバッファと、このリオーダバッファを制御し条件コードの順序性を保証する制御回路を設けることにより、複数のパイプラインにおいて、条件コード生成の順番待ちが無く、各パイプラインで実行される命令が、条件コードを生成することができるので、パイプラインに投入された条件コードを生成すべき命令が高速に処理されるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施の形態のブロック図である。

【図2】リオーダバッファの詳細ブロック図である。

【図3】従来の多重パイプラインを有する情報処理装置

のブロック図である。

【図4】他の従来の多重パイプラインを有する情報処理装置のブロック図である。

【符号の説明】

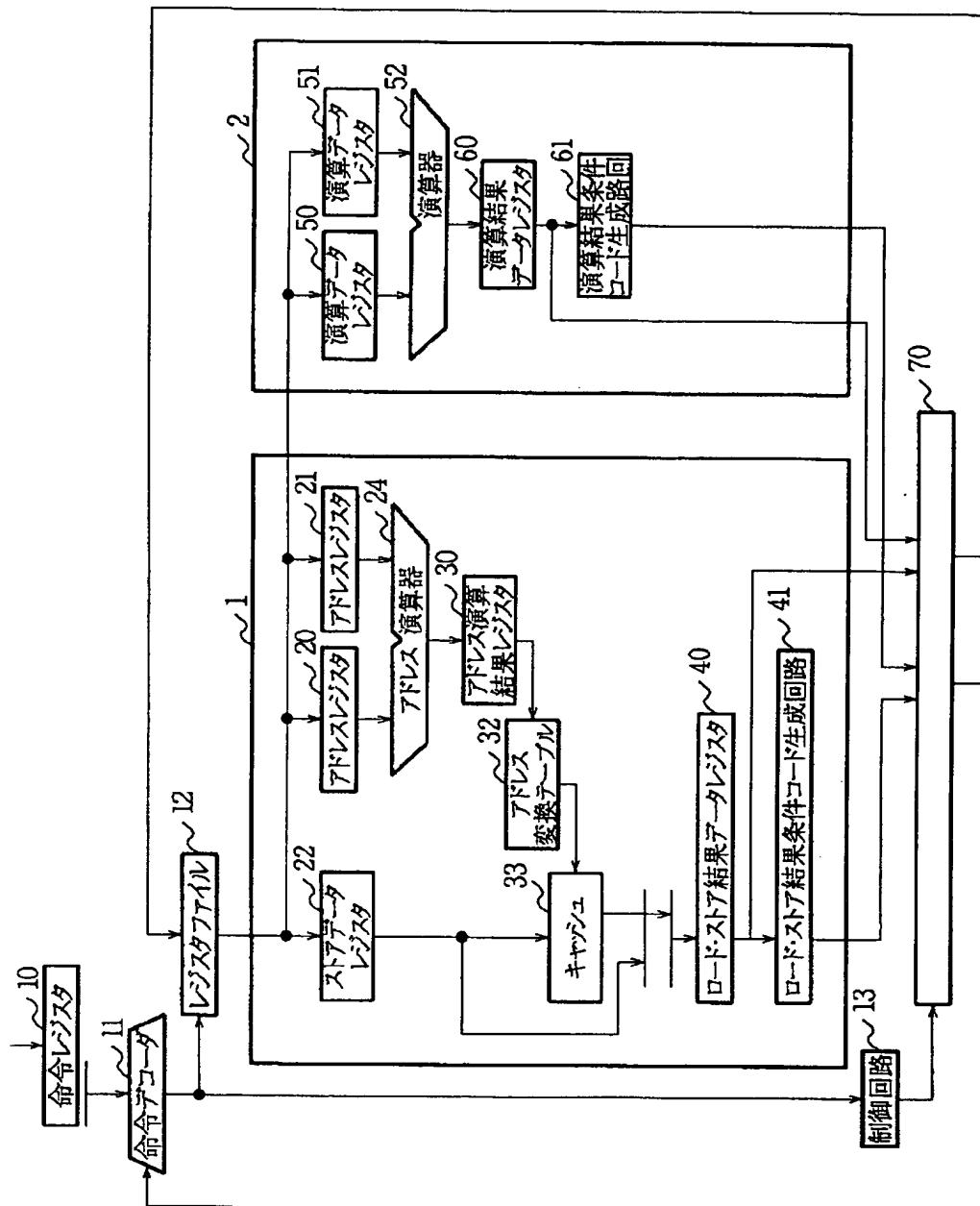
- 1 パイプライン
- 2 パイプライン
- 10 命令レジスタ
- 11 命令デコーダ
- 12 レジスタファイル
- 13 制御回路
- 14、16、17 条件コード生成回路
- 15 条件コードレジスタ
- 20、21 アドレスレジスタ
- 22 ストアデータレジスタ
- 24 アドレス演算器
- 30 アドレス演算結果レジスタ
- 31 データ書き込みレジスタ
- 32 アドレス変換テーブル
- 33 キャッシュ
- 40 ロード・ストア結果データレジスタ
- 41 ロード・ストア結果条件コード生成回路
- 50、51 演算データレジスタ
- 52 演算器
- 60 演算結果データレジスタ
- 61 演算結果条件コード生成回路
- 70 リオーダバッファ
- 71 状態フラグ領域
- 72 条件コード領域
- 73 結果データ領域

【図2】

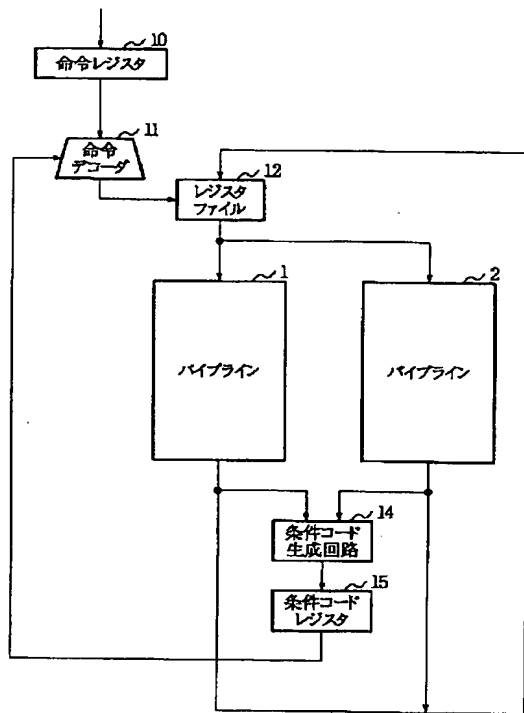
70

〜71	〜72	〜73	エントリ
状態フラグ領域	条件コード値領域	結果データ領域	エントリ
⋮	⋮	⋮	⋮
			エントリ

【図1】



【図3】



【図4】

